

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55755

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数10 OL (全 25 頁)

(21) 出願番号 特願平8-184656

(22) 出願日 平成8年(1996)7月15日

(31) 優先権主張番号 5 1 5 1 8 3

(32) 優先日 1995年8月11日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ライアン・ランス・バジジャー

アメリカ合衆国27587、ノースカロライナ州、ウェイク・フォレスト、フレッシュウォーター・コート 1417

(74) 代理人 弁理士 合田 潔 (外2名)

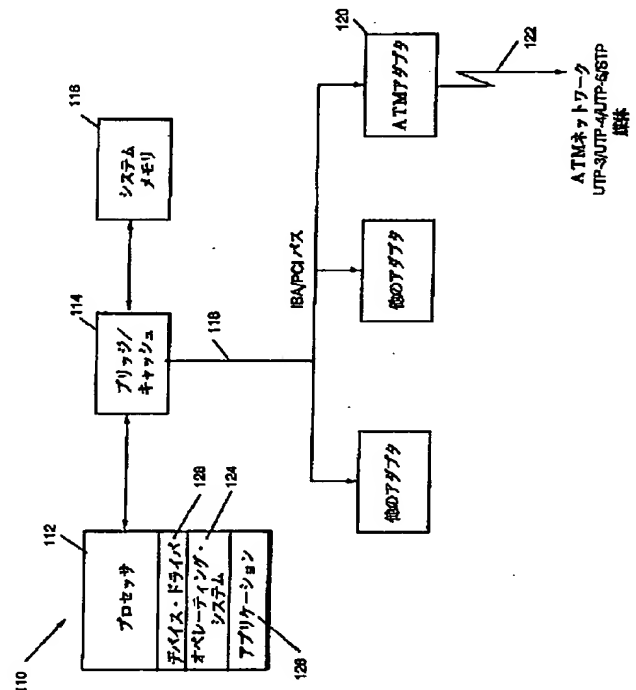
最終頁に続く

(54) 【発明の名称】 ATM通信ネットワーク及びその方法

(57) 【要約】

【課題】 アダプタとデバイス・ドライバとの相互動作を最小限とし、アダプタが異なるデータ源から同時にセルを受信しかつ複数のフレームを伝送できるATM通信ネットワークを提供する。

【解決手段】 本願のATM通信ネットワークは、前記アダプタに含まれるアダプタ・プロセッサ及び制御メモリと、前記制御メモリ内に伝送制御レジスタ及び受信制御レジスタを構築する手段と、前記システム・メモリ内の受信準備リスト上にフレームとして記憶するべく前記ネットワークからデータ・セルを受信する手段と、前記受信準備リスト上のフレームを伝送のために識別する伝送準備キュー(T R Q)を前記制御メモリ内に構築する手段と、前記システム・メモリ内に伝送完了リスト(T C L)を構築する手段と、フレーム伝送完了を示しかつ前記T C Lを更新する割込みを前記デバイス・ドライバに対して発生する手段とを有する。



【特許請求の範囲】

【請求項 1】 システム処理性能及びメモリ利用性を強化するべくデバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフェースにより互いに接続された A T M 通信ネットワークにおいて、

- a) 前記アダプタに含まれるアダプタ・プロセッサ及び制御メモリと、
- b) 前記制御メモリ内に伝送制御レジスタ及び受信制御レジスタを構築する手段と、
- c) 前記システム・メモリ内の受信準備リスト上にフレームとして記憶するべく前記ネットワークからデータ・セルを受信する手段と、
- d) 前記受信準備リスト上のフレームを伝送のために識別する伝送準備キュー (T R Q) を前記制御メモリ内に構築する手段と、
- e) 前記システム・メモリ内に伝送完了リスト (T C L) を構築する手段と、
- f) フレーム伝送完了を示しかつ前記 T C L を更新する割込みを前記デバイス・ドライバに対して発生する手段とを有する A T M 通信ネットワーク。

【請求項 2】 a) 前記ネットワークから受信されたデータ・セルを記憶する前記システム・メモリ内の受信バッファを識別するための受信空きバッファ・リストを構築する手段と、

- b) 前記受信空きバッファ・リストの始まりを位置指定する手段と、
- c) 前記受信空きバッファ・リストの終わりを示す手段とをさらに有する請求項 1 に記載の A T M 通信ネットワーク。

【請求項 3】 完了したフレームについてのバッファ記述子を含む受信準備リストを構築する手段を有する請求項 2 に記載の A T M 通信ネットワーク。

【請求項 4】 1 又は複数の完了したフレームが前記受信準備リスト上に存在することを前記デバイス・ドライバに対して示す割込みを発生する手段を有する請求項 3 に記載の A T M 通信ネットワーク。

【請求項 5】 前記伝送準備キューが、トップ・アドレス、ボトム・アドレス、書き込みポインタ、及び読取りポインタをもつベース・レジスタにより前記制御メモリ内に規定される請求項 4 に記載の A T M 通信ネットワーク。

【請求項 6】 前記アダプタ・プロセッサが伝送サブプロセッサ及び受信サブプロセッサを有し、該伝送サブプロセッサは前記ネットワークへの伝送のために前記システム・メモリからデータを取り出し、該受信サブプロセッサは前記システム・メモリへデータを転送する請求項 5 に記載の A T M 通信ネットワーク。

【請求項 7】 デバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフ

ェースにより互いに接続された A T M 通信ネットワークにおいてシステム処理性能及びメモリ利用性を強化するための方法であって、

- a) 前記アダプタ内の伝送制御レジスタを初期化するステップと、
 - b) 前記伝送制御レジスタにより規定される伝送準備キュー (T R Q) を構築するステップと、
 - c) 前記システム・メモリ内の伝送完了リストの終わりを示すべく伝送完了最後尾空き記述子のアドレスを書込むステップと、
 - d) 前記 T R Q 内の空きキュー示すべく T R Q 書き込みポインタが T R Q 読取りポインタと等しくなるようにセットするステップと、
 - e) 前記システム・メモリ内でフレームの伝送準備が完了したか否かを判断することにより、準備が未だであればフレームの伝送準備の完了を前記システム・プロセッサにより監視し続け、準備が完了していればフレームの伝送準備が完了したことを示すステップと、
 - f) 前記 T R Q が満杯であるか否かを判断するステップと、
 - g) 前記 T R Q へ伝送要求を送るステップと、
 - h) 前記伝送書き込みポインタが前記伝送読取りポインタと等しくなるかを判断するために前記アダプタが前記 T R Q を監視しつつ、該 T R Q 書き込みポインタを増分するステップと、
 - i) 前記システム・メモリから準備されたフレームを取得するステップと、
 - j) 前記準備されたフレームを前記通信ネットワークへ伝送するステップとを含む A T M 通信ネットワークにおける方法。
- 【請求項 8】 伝送されたばかりのフレーム記述子のアドレスを、伝送完了リスト・ポインタ最後尾空き記述子アドレス (T C L - L F D A) レジスタにより指示される記述子の前方ポインタへ入れるステップを含む請求項 7 に記載の方法。
- 【請求項 9】 デバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフェースにより互いに接続された A T M 通信ネットワークにおいてシステム処理性能及びメモリ利用性を強化するための方法であって、
- a) 前記システム・メモリ内に、空きバッファについてのバッファ記述子が各々前方ポインタを介して次のバッファ記述子と連結された連結リストを構築するステップと、
 - b) 前記システム・プロセッサ内に前記リストの終わりに対するポインタを保持するステップと、
 - c) 前記アダプタ内の空きバッファ・リスト始点レジスタ (S R F L) に対して第 1 の前記バッファ記述子のアドレスを書き込むステップと、
 - d) 前記ネットワークから A T M セルを受信するステッ

ブと、

e) 前記セルがフレームの最初である場合に現在のシステム・バッファが満杯であるか否かを判断し、満杯でなければ該セルを該システム・バッファへ入れ、満杯であれば前記SRFL内のアドレスを用いて前記システム・メモリ内の次の空きバッファのアドレスを位置指定するステップと、

f) 前記バッファが前記空きバッファ・リスト上の最後であるか否かを判断し、最後であれば前記システム・プロセッサに対して通知しかつ前記セルを破棄し、最後でなければ取得されたばかりのバッファからのポインタを用いて前記SRFLを更新するステップと、

g) 前記受信されたセルが最初のセルであるか否かを判断し、最初のセルでなければ、取得されたばかりの記述子の前記システム・メモリ・アドレスを用いて、完了されたばかりの記述子の前記前方ポインタを更新しかつ該セルを該記述子により規定されるバッファへ入れるステップと、

h) 前記最後のセルが識別されるまで前記a)～g)のステップを繰り返すステップとを含むATM通信ネットワークにおける方法。

【請求項10】 a) 前記セルに関係する論理チャンネルに関する受信準備リストについて前記アダプタ内の制御メモリへアクセスするステップと、

b) 現在受信されたフレームの第1の記述子を指示するべく前記受信準備リスト・レジスタの内容により指示される記述子を更新するステップと、

c) 前記受信されたばかりのフレームを前記受信準備リストへ連結されるステップと、

d) 前記受信されたばかりのフレームについての最後のバッファ記述子を指示するべく前記受信準備リストを更新するステップと、

e) 前記ネットワークから受信された次のセルを処理するためにステップa)へ戻るステップとをさらに含む請求項9に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM（非同期転送モード）通信システムに関する。特に本発明は、ATMシステムにおけるアダプタとデバイス・ドライバとの効率的なインタフェースのためのシステム及び方法に関する。

【0002】

【従来の技術】 米国特許出願第513706号（1995年8月11日出願）「A System And Method For Multi-Frame Received Queuing With Sorting In An Asynchronous Transfer Mode System」は、ATMシステムのためのアダプタとデバイス・ドライバとのインタフェースを開示しており、デバイス・ドライバとアダプタとの間の通信を最適化することによりシステムのスループット

を向上させる。当該関連出願及び本発明は同一出願人によるものである。

【0003】 非同期伝送モード（ATM）システムの特徴は、各フレームを48バイトのセグメントに分割して各セグメントに対して5バイトのヘッダを付加し、そして得られた53バイトのセルを伝送待ち状態にある他のフレームによるセルと共に多重化して伝送することにより、多くのフレームを同時に伝送できるという点である。セルが受信されると、5バイトのセル・ヘッダを取り除き、残りの48バイトを先に受信されていたそのフレームのセルと結合させることにより、再びフレームへと組立てられる。任意の時点におけるセグメント化及び再組立の種々の段階においては、異なるフレームが存在し得る。

【0004】 通常ATMシステムにおいてフレームを送送しようとする場合、デバイス・ドライバがアダプタに対して伝送コマンドをセットアップしなければならない。アダプタは、フレームを送送しかつその伝送オペレーションが完了したことを示すべくデバイス・ドライバに対して返す割込みを発生する。同じ一般的なプロセスは受信においても発生する。すなわちデバイス・ドライバがコマンドを発生し、アダプタがデータを受信した後に、受信オペレーションが完了したことを示すべくデバイス・ドライバに割込みを行う。ATMネットワーク上のデータ速度が速くなるにつれて、デバイス・ドライバがコマンドを発生しかつ割込みを処理する頻度が増し、ついにはデバイス・ドライバがデータ速度に追従できないまでになる。さらに、データ速度に比べてデバイス・ドライバが遅いことから、アダプタ及びシステム・メモリにおける記憶の必要性が増す。データを伝送及び受信する際のデバイス・ドライバの活動状態を軽減させるシステム及び方法があれば、ATMシステムの性能が拡張されるであろう。具体的には、複数のフレームを同時にセルにセグメント化し、かつアダプタ／ドライバ間のインタフェースにおいてシステムやデバイス・ドライバとは独立してセルをフレームへと再組立するシステム及び方法によって、ATMシステムの性能が向上すると共に記憶の必要性が軽減される。

【0005】 関連する従来技術である米国特許第5297139号（1994年3月22日特許）では、通信伝送ラインからバッファ装置へのデータ書込み及びバッファ装置からのデータの読取りを制御する方法が開示されている。データは所定の読取り速度でバッファ装置から読み取られ、また、このバッファに書き込まれるデータの量は所定のしきい値と比較される。蓄積されたデータの量がしきい値と同じか又はそれ以下であると判断された場合、伝送ラインからのデータがバッファ装置へ書き込まれ、バッファ装置は伝送ラインからのデータの書込みのみを行う。バッファ装置は、通信伝送ラインからのデータの書込みを行うと共に、蓄積されたデータの量がし

5

きい値よりも大きい場合にバッファ装置からデータの読取りを行う。

【0006】米国特許第5274768号(1993年12月28日特許)では、コンピュータを通信ネットワークへ接続するためのインタフェースが開示されている。このインタフェースは、複数のATMのセルへセグメント化されたフレームを受信しかつ再組立するためのリアセンブラ(reassembler)を備える。各セルは、仮想チャネル識別子とセル本体とを有する。さらにリアセンブラは、各セル本体をその関連する仮想チャネル識別子から分離して、その仮想チャネル識別子についての個々のリンク・リスト参照アドレスを判断する手段を備える。再組立バッファ手段はセル本体を記憶し、そしてリンク・リスト・マネージャは、再組立バッファ手段に記憶されたセル本体のアドレスを示すリンク・リスト・データを記憶する。

【0007】米国特許第5136584号(1992年8月4日特許)では、多重高速デジタル通信ネットワークへのインタフェースを開示している。このインタフェースは、(ATMセルとして記載されている)データを受信する入力ポートと、処理され受信されたデータを伝送する出力ポートと、データの処理時間を確保するために入力ポートと出力ポートとを接続して受信データの伝搬を遅延させる(遅延パイプラインとして記載されている)データ遅延機構とを備えている。このインタフェースは、内部データ記憶装置を用いないが、できるだけ速やかにデータがインタフェースを通るように遅延パイプラインを利用している。データ・アセンブラ及び状態メモリは、受信された多重インタリーブ(interleave)ATMセルからデータ・フレームを組立てる。

【0008】いずれの従来技術も、ATMシステムにおいて異なるデータ源からの複数のフレームを伝送のためにセルへとセグメント化しかつアプリケーションへの受信のためにセルを複数のフレームへと再組立する際におけるアダプタとデバイス・ドライバとのインタフェースの課題、すなわち、本質的にデバイス・ドライバとは独立して伝送及び再組立を行うという課題を解決していない。これを解決することにより、デバイス・ドライバはネットワークのデータ速度に追従することができ、速いデータ速度で処理するATMシステムの性能を向上させると共に、インタフェースにおける記憶装置の利用を軽減させることになる。従来技術では、フレーム記述子を利用すること及び区画を用いることなくシステム・メモリにフレームを場所指定するためのリストを利用することは開示されていない。さらに従来技術では、伝送待ちキュー及び受信準備リストにおいてフレームを互いに連係させるためにポインタを利用することも開示されていない。

【0009】

【発明が解決しようとする課題】本発明の目的は、AT

6

M通信システムにおいてアダプタとデバイス・ドライバとの間の相互動作を最小限としながら、アダプタが異なるデータ源から同時にセルを受信しかつ複数のフレームを伝送することができるATM通信システムを提供することである。

【0010】本発明の更なる目的は、ATMシステムにおいてフレーム・レベルで情報を処理する際にアダプタとデバイス・ドライバとの間の効率的な相互動作のためのシステム及び方法を提供することである。

【0011】本発明の更なる目的は、アダプタが高いスループットを有するようなアダプタ/デバイス・ドライバ間インタフェースを提供することである。

【0012】本発明の更なる目的は、フレームとしてデータ・セルを記憶するための受信空きバッファ・リストと受信準備バッファ・リストとを用いて、ATMシステム・メモリ内でセルをフレームへと再組立するシステム及び方法を提供することである。

【0013】本発明の更なる目的は、ATMシステムのアダプタ/デバイス・ドライバ間インタフェースにおいて複数のフレームを同時にセルへとセグメント化し、そしてセルを複数のフレームへと再組立することにより、セグメント化及び再組立のプロセスが本質的にデバイス・ドライバとは独立しているシステム及び方法を提供することである。

【0014】本発明の更なる目的は、システム・メモリ内でフレームを互いに連結させる記述子及びポインタを用いるATMシステムにおけるアダプタ/デバイス・ドライバ間インタフェースを提供することである。

【0015】本発明の更なる目的は、フレーム内ヘデータ・セルを受信するためにバッファのリストを用い、そしてシステムへの伝送のためにフレームのリストを用いるATMシステムにおけるアダプタ/デバイス・ドライバ間インタフェースを提供することである。

【0016】

【課題を解決するための手段】上記の及び他の目的、特徴及び利点は、デバイス・ドライバとメモリとを具備するシステム・プロセッサを含むATM通信ネットワークにおいて実現される。システム・プロセッサは、インタフェースにおいてアダプタへ接続される。アダプタは、プロセッサとメモリとを具備する。デバイス・ドライバとアダプタとは、同時にネットワークに対してフレームを伝送しかつネットワークからフレームを受信する際に協同的に動作する。伝送オペレーションにおいては、デバイス・ドライバは、アダプタ内に常駐しかつ伝送制御レジスタにより規定された伝送準備キューを用いてネットワークへ伝送するフレームを識別する。伝送フレーム完了リストが、伝送制御レジスタを用いてシステム・メモリ内に構築される。デバイス・ドライバにより構築された伝送準備キューに従って、フレームがアダプタにより伝送されるべくキューされる。フレーム伝送が完了し

たことをシステム・プロセッサに対して示すために、アダプタにより割込みが発生される。受信オペレーションにおいては、受信空きバッファ・リストがデバイス・ドライバによりシステム・メモリ内に構築される。デバイス・ドライバは、受信空きバッファ・リストの最後のエントリへのポインタを保持する。アダプタは、受信空きバッファ・リストから用いられる次のバッファへのポインタを保持する。受信準備リストが、アダプタ内の受信制御レジスタを介してアダプタに対して示される位置に従ってデバイス・ドライバによりシステム・メモリ内に構築される。受信データ・セルは、空きバッファ・リストから得たシステム・メモリのバッファ内でフレームへ再組立される。フレームの受信が完了すると、そのフレームは適宜の受信準備リストへ追加される。1又は複数の完了したフレームが、デバイス・ドライバが伝送オペレーションを開始するための受信準備リスト上に存在する場合、アダプタによりプロセッサに対して割込みが発生される。

【0017】

【発明の実施の形態】図1は、パーソナル・コンピュータ又はワークステーション110を示しており、プロセッサ112、ブリッジ114、及びシステム・メモリ116が、ISA (Industry Standard Architecture)バス又はPCI (Peripheral Component Interconnect)バス118を介して、アダプタ120へ接続され、そしてアダプタ120はさらにATMネットワーク122へ接続されている。プロセッサ112は、オペレーティング・システム124、アプリケーション・プログラム126、及びデバイス・ドライバ128等の様々な記憶されたプログラムを含む。オペレーティング・システム124は、記憶されたアプリケーション・プログラム126を実行する際にプログラムを制御する。アプリケーション・プログラム126は、その機能に従ってネットワーク122からデータを受信する。デバイス・ドライバ128は、アダプタ120を用いてネットワーク122とシステム・メモリ116との間のセル及びフレームの流れを制御する。ブリッジ114は、システム・メモリ116及びアダプタ120に対してプロセッサの速度を適合させるためのバッファである。本発明の主な目的は、フレームがネットワークへ転送されるか又はシステム・メモリへ受信されるまで、実質的にデバイス・ドライバとは独立してフレームをセルへセグメント化しかつセルをフレームへ再組立することである。これを実行することにより、デバイス・ドライバは、ATMネットワーク122とのデータの伝送及び受信において更に効率的となるであろう。

【0018】図2及び図3は、システム・メモリ116に記憶された情報のフォーマットを更に詳細に示した図である。システム・メモリ116に記憶された情報を以下に説明する。図3では、受信バッファ記述子200の

リストがシステム・メモリ116に記憶されている。各受信バッファ記述子200は、システム・メモリ116内の受信データ・バッファ202を規定する。受信バッファ記述子200は、データ・バッファ・アドレス・フィールド204、前方ポインタ・アドレス・フィールド206、データ・バッファ長フィールド208、状態フィールド210、及び他のATM固有フィールドを含む。受信バッファ記述子200内の受信データ・バッファ・アドレス204は、システム・メモリ116内に場所指定された受信データ・バッファ202を指示する。受信空きバッファ・リスト212は、データ記憶のために使用可能な受信データ・バッファを指示する受信バッファ記述子200の連結されたリストである。この受信空きバッファ・リスト212の中の受信バッファ記述子200は、前方ポインタ・アドレス・フィールド206を用いて連結される。受信準備リスト214は、受信フレーム・データで満たされた受信バッファ記述子200の連結されたリストである。これらもまた、前方ポインタ・アドレス・フィールド206を用いて連結される。

【0019】図2に示すようにシステム・メモリには、伝送フレーム記述子250のリストもまた記憶されている。各伝送フレーム記述子250は、システム・メモリ116内の1又は複数の伝送データ・バッファ252を規定する。伝送フレーム記述子250は、前方ポインタ・アドレス・フィールド254、伝送完了リスト(TCL)前方ポインタ256、数個のATM固有フィールド、データ・バッファ計数フィールド258、各関連する伝送データ・バッファの伝送データ・バッファ・アドレス・フィールド260、及び各関連する伝送データ・バッファの伝送データ・バッファ長を含む。前方ポインタ・アドレス・フィールド206は、特定の論理チャネルについての伝送フレームを連結させるために用いられる。TCL前方ポインタ256は、伝送完了リスト264へ伝送された伝送フレーム記述子を連結するために用いられる。伝送データ・バッファ計数258は、伝送フレーム記述子250に関連する伝送データ・バッファ252の数を示すために用いられる。各伝送データ・バッファ・アドレス260は、システム・メモリ116内に場所指定された伝送データ・バッファ252の1つを指示する。各伝送データ・バッファ長262は、関連する伝送データ・バッファ252内のバイト数を示す。

【0020】図4は、アダプタ120を詳細に示した図である。アダプタ120は、入力としてセルを受信しかつ出力としてセルを伝送するために、双方向インタフェース301を介してネットワーク122へ接続される。受信セルは、ATOMICネットワーク・インタフェース・モジュール301、エンコーダ/デコーダ(ENDEC)303、メモリ・インタフェース307を通り、制御/データ・メモリ309へ達し、ここで受信セルは一時的に記憶される。プロセッサ305は、セルが制御/データ

・メモリ309内に入ったとき通知される。その後、ATM・AAL1/AAL5プロセス制御装置305は、制御/データ・メモリ309からセルの移動を開始し、メモリ・インタフェース307及びバス・インタフェース311を介してシステム・メモリ116（図1参照）へ移動させる。セルを伝送するためには、ATM・AAL1/AAL5プロセス制御装置305が、システム・メモリ116からのセルの移動を開始し、バス・インタフェース311、メモリ・インタフェース307を介して制御/データ・メモリ309へ移動させ、ここでセルは一時的に記憶される。その後伝送セルは、メモリ・インタフェース307、エンコーダ/デコーダ(ENDEC)303、ATOMICネットワーク・インタフェース・モジュール301介してATMネットワーク122へと移動させられる。

【0021】図5は、ATM・AAL1/AAL5プロセス制御装置305の所与の詳細を示す図である。制御装置305は、オペレーション伝送用のピコプロセッサ401と、オペレーション受信用のピコプロセッサ403とを含む。さらに、制御装置305は、伝送制御レジスタ405と、受信制御レジスタ407とを含む。伝送制御レジスタ405及び受信制御レジスタ407は、ネットワークへ伝送されるフレームを識別し、そしてネットワークからのセルをフレームへと再組立して記憶する受信準備リストを識別するべくデバイス・ドライバによりセットされる。伝送準備キュー（TRQ）（図6参照）は、デバイス・ドライバ128によって制御/データ・メモリ309内に構築される。このTRQは、システム・メモリ116からATMネットワーク122へアダプタ120によりフレームを転送する際に、アダプタ・ハードウェアにより実行される伝送オペレーションをキューする。TRQの大きさ及び制御/データ・メモリ309内における位置は、初期化時にデバイス・ドライバによって伝送制御レジスタ405へ書き込まれるパラメータにより決定される。2つの伝送準備キュー（T5RQ及びT1RQ）があり、1つはAAL5トラフィック用であり、もう1つはAAL1トラフィック用である。双方のキューとも同じ構造をもち、いずれも制御/データ・メモリ309内に置かれている。各TRQは5個のレジスタを有し、これらは制御/データ・メモリ309内における位置を規定する。5個のレジスタは、キューに関連するベース（制御/データ・メモリ309へのオフセット）、トップ、ボトム、書き込みポインタ、及び読取りポインタを規定する。デバイス・ドライバは、ベース・レジスタ、トップ・レジスタ、及びボトム・レジスタを書き込むことにより、制御/データ・メモリ309内のTRQを場所指定する。4ビットのベース・レジスタの内容が13ビットのトップ・レジスタの内容と連結されて、そのキューの始まりを決定する。そして、4ビットのベース・レジスタの内容が13ビットのボトム・レ

ジスタの内容と連結されて、そのキューの終わりを決定する。初期化時には、読取りポインタ及び書き込みポインタの双方が、キューのトップを指示することによりそのキューが空であることを示す。

【0022】再び図1～図3を参照して、ATMネットワーク122から受信したフレームの処理を説明する。デバイス・ドライバ128とアダプタ120との通信は、システム・メモリ116に含まれる受信空きリスト212及び受信準備リスト(RRL)により支援される。ATMセルはシステム・メモリ116内で再びフレームへと組立られる。データ・バッファ記述子及びこれらの関連バッファが、空きバッファ・リストから取得され、必要に応じて受信したセルを記憶するために用いられる。バッファが用いられると、バッファ記述子は互いに結合されてバッファ記述子の連結されたリストを形成し、これは完了したフレームを含むバッファを指示する。システム・メモリ116内でフレームが完全に再組立されたならば、そのフレームの第1のバッファ記述子へのポインタが、システム・メモリ116内に配置された受信準備リスト214の1つに入れられる。プロセッサ112は、受信準備リストをサービスするために割り込みされる。デバイス・ドライバはこれらのデータ構造を用いることにより1つの割り込みで複数のフレームを処理可能であるのでインタフェース効率が向上する。

【0023】図6は、伝送プロセスの第1のステップを示す図であり、制御/データ・メモリ309内のTRQキュー・エントリ501のフォーマットを示しており、伝送制御レジスタ405（図5参照）により規定される。最初の16ビットのワード503は、伝送オペレーションに関連する論理チャンネル番号(LC)を含む。次の2つのワードは、システム・メモリ116内のフレーム記述子のアドレス505を含む。TRQ501は、1又は複数のATMフレームが特定の論理チャンネルにおいて伝送されようとする毎にデバイス・ドライバにより書き込まれる。2個の伝送準備キューがあり、1つはAAL1トラフィック用(T1RQ)であり、もう1つはAAL5トラフィック用(T5RQ)である。

【0024】デバイス・ドライバ・コードがTRQを過剰に満たすことがないように、伝送制御レジスタ405内の状態レジスタに含まれる各キューについての「フル(full)・ビット」がポーリングされなければならない。関連キューが満杯でないことを状態レジスタが示す場合には、デバイス・ドライバは次のエントリを追加することができる。一方、そのキューが満杯であることを状態レジスタが示す場合には、デバイス・ドライバは、「満杯ではない」という標示を受信するまでその状態をポーリングし続けなければならない。

【0025】TRQによってデバイス・ドライバは、伝送する複数のフレームを非同期的にキューすることができ、一方、アダプタ・ハードウェアは既存のフレームを

処理する。これによりアダプタ及びデバイス・ドライバの性能が改善される。

【0026】図7は、伝送プロセスの第2のステップを示す。このステップでは、アダプタ120はTRQ上のエントリのTRQ論理チャンネル番号503に基づいてこれらを取り出し連結させ、伝送されるフレームのリストとする。連結されたリストの終わりは、x'00000001'に等しい前方ポインタにより示される。未完了の伝送要求に関する各ATM論理チャンネル(LC)に対して1つのリストがある。図7では、LCx、LCy、及びLCzとして示される3個の論理チャンネルがある。各リストの第1の記述子に関連するフレームは、各フレームから1つのセルをインタリーブすることにより同時に伝送される。1つの論理チャンネルについてのフレーム伝送が完了すると、そのフレームについての記述子がリストから除かれる。除かれたばかりの記述子が最後でない場合は、次の連結された記述子に関連するフレームの伝送が開始される。このプロセスは、全ての連結された記述子に関連するフレームが伝送されるまで続けられる。デバイス・ドライバが未完了の伝送要求を有する論理チャンネルについてのTRQ上にエントリを入れるとき、その論理チャンネルについての新たな連結されたリストが作成される。連結されたフレームは直ちに、既に伝送されているフレームからのセルとセルをインタリーブすることにより伝送されることになる。デバイス・ドライバが伝送すると同時に1つのLCについての伝送要求をTRQ上に入れたならば、その要求はそのLCに関連するリストに連結されて上記のように伝送されることとなる。

【0027】図8は、伝送プロセスの第3のステップを示す図である。この図は、論理チャンネルLCx、LCy、及びLCzについての伝送完了リスト(TCL)を形成するべく連結された記述子を示している。システムは、処理された最後の伝送フレーム記述子のアドレスを保持しなければならない。アダプタ120は、新たに伝送されたフレーム記述子のアドレスと共に伝送された最後のフレームのTCL前方ポインタを更新する。フレームは、LCx、LCy、LCx、そしてLCzの順序で伝送される。フレーム記述子はシステム・メモリ116内に置かれ、そしてフレームが伝送されると同時にアダプタ120によってシステム・メモリ116内に伝送完了リストが構築される。初期化時にデバイス・ドライバは、伝送制御レジスタ405(図5参照)に置かれたTCL_lastフレーム・データ・アドレス(LFDA)レジスタに、最後にサービスされるフレーム記述子のシステム・メモリ116内のアドレスを書き込む。この記述子は、「ポンプの呼び水(開始の支援)」のために用いられるダミー・アドレスである。アダプタがフレームの伝送を完了すると、新たに完了したフレーム記述子のTCL前方ポインタ・フィールドを用いてそのフレーム記述子が伝送完了リストに連結される。連結されたリストの終わり

は、前方ポインタにバイナリ値「1」にセットされた最下位ビットを書き込むことにより示される。アダプタが伝送完了リストへ追加すると、TCL_LFDAの内容が、追加された最後のエントリのシステム・メモリ・アドレスにより更新される。デバイス・ドライバは、最後に処理されたエントリのポインタを保持する。アダプタは、新たに連結されたフレームの最後のフレーム記述子についてのTCL前方ポインタを'0000001'Xに等しくセットすることにより、伝送完了リストの終わりを示す。システムは、前方ポインタが'0000001'Xに等しくなるとき伝送完了リストの終わりに達したことを認知する。このプロセスの利点は、伝送完了リストが記述子を互いに連結させることにより形成されることである。この手法を用いると、伝送完了リストをオーバーランすることは不可能である。さらにこのプロセスは、アダプタ・ハードウェアとデバイス・ドライバ・ソフトウェアとの間の非同期インタフェースを提供する。従って、デバイス・ドライバ・サービスを要求する前に複数のフレームの伝送を完了することができ、またキューすることができる。

【0028】図9は、ATMネットワーク122からセルを受信するプロセスに関連する2つのエンティティ(実体)が示されている。これらのエンティティは、図2及び図3に示したシステム・メモリ116内の空きバッファ・リスト212及び受信準備リスト214である。空きバッファ・リストは、デバイス・ドライバによってもATM・AAL1/AAL5プロセス制御装置305によっても保持される。デバイス・ドライバの役割は、バッファ記述子に置かれた前方ポインタを用いて初期化時に空きバッファ記述子の連結されたリストを構築することであり、そしてそのリスト上の最後のエントリに対するポインタを保持することである。このポインタは、更なるバッファをリストに追加するとき又は受信フレームを処理した後にリストへバッファを返すときに用いられる。バッファが返されるか又は追加されると、デバイス・ドライバは、常に最後のエントリを示すようにポインタを更新しなければならない。

【0029】空きバッファ・リストの保持におけるATM・AAL1/AAL5プロセス制御装置305(図4参照)の役割は、このリストの始まりのアドレスの複写を保持することである。このアドレスは、受信制御レジスタ407(図5参照)内の空きバッファ・リスト始点(SRFL)レジスタ408に置かれており、デバイス・ドライバにより初期化される。システム・メモリ116ヘデータが書き込まれるとき、アダプタ120は、空きバッファ・リストからバッファを取り除き、バッファ記述子からの前方ポインタをSRFLレジスタへ複写することによりSRFLレジスタを更新する。従ってSRFLレジスタは、常に、空きバッファ・リスト上の次のエントリのアドレスを含むことになる。

【0030】空きバッファ・リストが空になることを避

けるために、空きバッファ・リスト上の最後のエントリの前方ポインタのビット0は、バイナリ値「1」にセットされている。アダプタ120がこの値を検査して見出した場合には、プロセッサ112に対して空きバッファ・リストが使い尽くされたことを示す割込みを発生する。空きバッファ・リスト上の最後のバッファは、受信データを記憶するためには用いられないが、更なるバッファが返されたり追加されたりするときの連結点として空きバッファ・リスト上に設けられている。空きバッファ・リストは、デバイス・ドライバ128とアダプタ120との間に共有され、そしてデバイス・ドライバ128は空きバッファ・リストの後尾を追跡し、アダプタ120はその先頭を追跡する。

【0031】空きバッファ・リストが使い尽くされたならば、デバイス・ドライバは、システム・メモリ116内におけるこのリストの終わりの位置を認知する必要がある。この情報を得るためにデバイス・ドライバは、SFRレジスタを読み取らなければならない。空きバッファ・リストによって、デバイス・ドライバが1フレームベースでのみ介入する、アダプタとシステム・メモリとの間のフレーム転送のために必要な手段が提供される。

【0032】図10は、受信プロセスで用いられる第2のエンティティである受信準備リスト214（図2及び図3参照）を示す。受信準備リストは、デバイス・ドライバ128により構築され、システム・メモリ116内に配置される。ATMネットワーク122からセルが受信され、空きバッファ・リストから取得されたバッファに置かれると、完全なフレームがシステム・メモリ116内で組み立てられるまで関連するバッファ記述子が互いに連結される。フレームが組み立てられたならば、そのフレームに関連するバッファ記述子が、図10に示す8個の受信準備リストRRL0～RRL7の1つに連結される。フレームがシステム・メモリ116内で再組立されたという事実は、ATM・AAL1/AAL5プロセス制御装置305に置かれたシステム割込み状態レジスタ1015（図11参照）を用いてデバイス・ドライバへ伝達される。システム割込み状態レジスタ1015は、デバイス・ドライバにより保持される8個の受信準備リストRRL0～RRL7の各々についての状態ビットを含む。複数の受信準備リストを有することにより、デバイス・ドライバは論理チャンネルに対して優先度を割り当てることができる。

【0033】デバイス・ドライバがシステム割込み状態レジスタ415を読み取り、そしてフレームがATMネットワーク122から受信されて受信準備リストの1つに置かれたことを見出したならば、デバイス・ドライバは受信準備リストを通して処理を進め、受信準備リストの終わりに達するまで全てのフレームを処理する。バッファ記述子の前方ポインタ・アドレス・フィールドのビ

ット0がバイナリ値「1」に等しくなったとき受信準備リストの終わりに達する。（有効アドレスは、4バイト境界上に置かれる。）受信準備リストの終わりに達したとき、デバイス・ドライバは、システム・メモリ116内の受信準備リストについて処理された最後の受信バッファ記述子のアドレスを保持する。

【0034】デバイス・ドライバ128は、システム・メモリ116内のバッファが解放されると受信空きリスト(RFL)を更新する。さらにデバイス・ドライバは、現在受信空きリストの終わりに位置する記述子の前方ポインタを、追加される記述子のリストの始まりを指示するように更新する（記述子は、一時に1又は複数、受信空きリストに追加することができる）。受信空きリストに最後に追加された記述子は、リストの終わりを示す前方ポインタをもたなければならない（すなわち、前方ポインタのビット0がバイナリ値「1」にセットされている）。

【0035】デバイス・ドライバは、受信準備リスト(RRL)の各々についての第1のエントリに対するポインタを管理しかつ更新しなければならない。このポインタは、システム・メモリ116に置かれている。ポインタは、前の割込みの結果として処理された最後のバッファ記述子アドレス(LBDA)を指示する。この値はさらに、関連する受信準備リストについて次の割込みが受信されたとき、いずれの記述子から処理を開始するかをデバイス・ドライバに知らせる。デバイス・ドライバは、ビット0が「1」にセットされた前方ポインタをもつ記述子に達するまで、受信準備リスト上のエントリの処理を続ける。この記述子に達したならば、RRLサービスが要求されたことを示す状態による次の割込みが受信されるまで記述子の処理を停止する。

【0036】受信準備リスト・ポインタのシステム初期化プロセスの例が、図10に示されている。8個の受信バッファ・リスト(RRL0～7)に対するポインタはシステム・メモリに置かれているが、バッファ記述子のアドレスにより初期化される。これらのバッファ記述子に置かれた前方ポインタは、'00000001'Xにセットされる。アダプタ120において、受信制御レジスタ407内のレジスタRRL0～RRL7もまた、これらの同じアドレス値を用いてデバイス・ドライバにより初期化される。

【0037】ATM・AAL1/AAL5プロセス制御装置305は、システム・メモリ116に置かれた8個の受信準備リストの1つを用いて、完全なフレームが再組立されたことをデバイス・ドライバに対して通知する。これらのリストは、受信フレームを含む関連バッファをもつバッファ記述子の連結されたリストからなる。受信フレームに関連する連鎖の第1の記述子は、そのフレームの状態と長さを含む。リスト内の各記述子は、連鎖の終わりの印であるビット0がバイナリ値「1」にセ

ットされたポインタに達するまで、次の記述子を指示する。(図11参照のこと。)多数の受信フレームを互いに連結させてデバイス・ドライバによる処理を待たせることができる。システム・メモリ116内の8個の受信準備リストは、受信フレームの状態を含む8個の状態キューを形成する。これら8個のリストの処理に対して、デバイス・ドライバにより優先度を与えることができる。

【0038】8個の受信準備リストの各々の最後に処理されたエントリに対するポインタは、デバイス・ドライバにより保持される。受信準備リスト・レジスタは、ATM・AAL1/AAL5プロセス制御装置305により保持され、アダプタにより各リストに追加される最後のエントリのアドレスを含む。デバイス・ドライバは、受信準備リスト・レジスタ及びそれ自体の複写を、バッファ記述子のアドレスを用いて初期化する。初期化においてこれらの記述子は、'00000001'xにセットされた前方ポインタをもつ空バッファを指示する。アダプタ120は、これらの最初の8個のバッファを、データを記憶するためには用いない。これらの記述子アドレスは、

「ポンプの呼び水(開始の支援)」のためにのみ働き、最初の受信フレーム記述子を連結するときアダプタ120が使用できる開始点の記述子アドレスを与える。

【0039】受信準備リストの1つへエントリを追加するために、アダプタは関連する受信準備リスト・レジスタを用いてリスト上の最後のエントリを位置指定し、そのエントリ前方ポインタを受信フレームの最初の記述子を指示するように変更し、そしてその連鎖の最後の記述子前方ポインタを'00000001'xにセットする。前方ポインタのビット0は、その連鎖の終わりを示す場合、バイナリ値「1」にセットされる。このフレームに関連する中間の記述子は、フレームが再組立されるにつれてこれらの前方ポインタを用いて連結される。アダプタは、受信されたフレーム記述子を8個の受信準備リストの1つへ連結させた後、システム割込み状態レジスタ415内のビットをセットすることにより受信フレームの処理が必要であることを示し、そしてシステム割込みを発生する。受信準備リストの選択は、制御/データ・メモリ309に記憶された論理チャネル・テーブル(図示せず)に含まれるフィールドに基づいている。

【0040】デバイス・ドライバは、アダプタ120からシステム・メモリ116へ完全なフレームが転送されたとき割込みを受ける。完全なフレームは、1又は複数の受信バッファからなる。完全なフレームについて多数の受信バッファが存在し得るので、アダプタは、デバイス・ドライバの介入に先立ってバッファ記述子の前方ポインタを用いて完全なフレームについての受信バッファを連結させる。

【0041】図11及び図12は、フレームの受信に関してシステム及びアダプタにおいて発生する受信プロセ

スを示した図である。ステップ1において、フレームがシステム・メモリ116内に置かれたバッファに記憶される。各バッファは、長さ、アドレス、状態、及び次のバッファへのポインタを示す記述子により識別される。アプリケーションのフレームが完了するとき、デバイス・ドライバは、受信準備リストについて処理された最後の伝送フレーム記述子のアドレスを保持する。ステップ2においてアダプタは、新たに連結されたフレームの最後の受信バッファ記述子について前方ポインタを'00000001'xに等しくなるようセットすることにより、受信準備リストの終わりを示す。デバイス・ドライバは、前方ポインタが'00000001'xに等しいか否かにより、受信準備リストの終わりが完了したときを認知する。ステップ3においてアダプタは、完全なフレームの最初のフレーム記述子アドレスを、最後の受信バッファ記述子の前方ポインタ・アドレスに書き込むことにより新たに蓄積されたフレームとの連結を形成する。ステップ4においてアダプタは、レジスタ415内の受信準備リスト・ビットを、システム割込みに対して活動状態とする。ステップ5においてデバイス・ドライバは、割込みが発生したときレジスタ415を読み取り、そしていずれの受信準備リストが完全なフレームを有するかを見出す。ステップ6においてデバイス・ドライバは、アダプタ120の制御/データ・メモリ309内の全ての完全なフレームを、ネットワークへの伝送のために伝送完了バッファ(図示せず)へと送る。ステップ7においてデバイス・ドライバは、前方ポインタのビット0がバイナリ値「1」であるとき受信準備リストの終わりに達したことを認知する。ステップ8においてデバイス・ドライバは、受信準備リストについて処理された最後の受信バッファ記述子のアドレスを保持する。

【0042】図13及び図14は、デバイス・ドライバ及びアダプタで実行される受信プロセスをさらに詳細に示している。ステップ1201において、ネットワークからセルを受信するために初期化が行われ、システム・プロセッサは、システム・メモリ内に空きバッファについての記述子の連結されたリストを構築する。各バッファ記述子は、前方ポインタを介して次のものと連結される。デバイス・ドライバは、リストの終わりに対するポインタを保持し、そして最初のバッファ記述子のアドレスを、アダプタ制御/データ・プロセッサ403内の空きバッファ・リスト始点レジスタ(SRFL)に書き込む。ステップ1203においてアダプタがネットワーク122からATMセルを受信したとき、ステップ1205においてアダプタは、そのセルがフレームの最初であるか又は現在のシステム・バッファが満杯か否かを判断する。システム・バッファが満杯でなければ、空きバッファ・リスト212(図2及び図3参照)の最初の記述子により規定されるシステム・バッファへセルを入れる。これは後に実行されるステップ1217の準備であ

る。システム・バッファが満杯であれば、ステップ1207においてSRFLのアドレスを用いてシステム・メモリ内の次の空きバッファのアドレスを位置指定する。ステップ1209において、デバイス・ドライバは、バッファが空きバッファ・リスト上の最後のものであるかを判断する。最後のバッファであるならば、ステップ1211においてデバイス・ドライバはその旨を通知され、セルは破棄される。最後のバッファでなければ、ステップ1213において、取得されたばかりのバッファからのポインタによりSRFLが更新される。ステップ1215においてアダプタ120は、受信されたセルが最初のセルであるかを判断する。最初のセルでなければ、ステップ1217において、完了したばかりの記述子の前方ポインタが、取得されたばかりの記述子のシステム・メモリ・アドレスにより更新され、セルはその記述子により規定されるバッファへ入れられる。ステップ1219においてアダプタにより最後のセルが識別されるまで、このプロセスが繰り返される。ステップ1221においてアダプタは、セルに関係する論理チャネルに関する受信準備リストのために制御／データ・メモリへアクセスする。ステップ1223においてアダプタは、受信準備リスト・レジスタの内容により指示される記述子を更新することにより、現在受信されたフレームの最初の記述子を指示する。これによって、受信されたばかりのフレームを受信準備リストへ連結させる。ステップ1225において受信準備リスト・レジスタ407は、受信されたばかりのフレームに対する最後のバッファ記述子を指示するべくアダプタにより更新される。これに応じてプロセスはステップ1203へ戻り、ネットワークから受信された次のセルの処理を行う。

【0043】図15及び図16は、ネットワークへフレームを送信する際のデバイス・ドライバ及びアダプタにおける伝送プロセスを示している。初期化時のステップ1312においてデバイス・ドライバは、(a) 伝送制御レジスタ405を初期化し、(b) 制御／データ・メモリ309内にTRQ_TOP、TRQ_BOT、TRQ_RD、TRQ_WRT、及びTRQ_BASEのレジスタにより規定される伝送準備キュー(TRQ)501を構築し、(c) システム・メモリ内の伝送完了リストの終わりを示す伝送完了最後尾空き記述子アドレスを書き込み、(d) 空きキューを示すべくTRQ書き込みポインタをTRQ読取りポインタと等しくなるようにセットする。ステップ1314においてフレームの伝送準備ができたか否かをデバイス・ドライバが判断する。伝送準備ができていなければ、デバイス・ドライバはフレームの伝送準備の監視を続ける。フレームの伝送準備ができたことが示されたならば、ステップ1316においてデバイス・ドライバは、TRQが満杯であるかを判断する。その後、ステップ1318においてデバイス・ドライバはTRQへ伝送要求を送り、ステップ1320においてTRQ書き込みポインタを増分す

る。ステップ1322においてアダプタは、TRQを監視することによりTRQ内の伝送書き込みポインタが伝送読取りポインタに等しくなるかを判断する。ステップ1324においてアダプタは、システム・メモリ116から準備されたフレームを取得し、そのフレームをATMネットワーク122へ伝送する。ステップ1326においてアダプタは、伝送されたばかりのフレームの記述子のアドレスを、伝送完了リストのポインタ最後尾空き記述子アドレス(TCL-LFDA)レジスタにより指示される記述子の前方ポインタへ入れることにより、記述子を伝送完了リストへ連結させる。ステップ1328においてアダプタは、伝送されたばかりの記述子アドレスによりTCL-LFDAレジスタを更新し、伝送準備キューの読取りポインタを増分することによりステップ1322において次のフレーム伝送シーケンスを開始する。

【0044】以上まとめると、フレームがネットワークへ転送されるまで、又はフレームがシステムへ受信されるまで、デバイス・ドライバから実質的に独立してフレームをセルへとセグメント化しかつセルをフレームへと再組立することにより、高速多重ATMネットワーク上においてアダプタとデバイス・ドライバとがさらに効率的となる。さらに受信準備リスト及び伝送準備キューを用いることにより、デバイス・ドライバは、1つの割込みによって多数のフレームを処理することができるようになる。伝送準備キューを用いてアダプタによりフレームが伝送されている間、フレームを受信準備リストへ追加することができる。アダプタにより更新される空きバッファ・リストに従ってフレームが伝送されると同時にシステム・メモリがクリアされている。記述子を用いたセル及びフレームの処理によって、システム・メモリの区画が不要となる。

【0045】本発明を特定の実施例を参照して説明したが、上記の説明は本発明を示すためのものであって本発明を限定するものと解するべきではない。当業者であれば、本発明の要旨と範囲を逸脱することなく様々な変更が可能であろう。

【0046】まとめとして、本発明の構成に関して以下の項を開示する。

【0047】(1) システム処理性能及びメモリ利用性を強化するべくデバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフェースにより互いに接続されたATM通信ネットワークにおいて、a) 前記アダプタに含まれるアダプタ・プロセッサ及び制御メモリと、b) 前記制御メモリ内に伝送制御レジスタ及び受信制御レジスタを構築する手段と、c) 前記システム・メモリ内の受信準備リスト上にフレームとして記憶するべく前記ネットワークからデータ・セルを受信する手段と、d) 前記受信準備リスト上のフレームを伝送のために識別する伝送準備キュー(T

RQ)を前記制御メモリ内に構築する手段と、e)前記システム・メモリ内に伝送完了リスト(TCL)を構築する手段と、f)フレーム伝送完了を示しかつ前記TCLを更新する割込みを前記デバイス・ドライバに対して発生する手段とを有するATM通信ネットワーク。

(2) a)前記ネットワークから受信されたデータ・セルを記憶する前記システム・メモリ内の受信バッファを識別するための受信空きバッファ・リストを構築する手段と、b)前記受信空きバッファ・リストの始まりを位置指定する手段と、c)前記受信空きバッファ・リストの終わりを示す手段とをさらに有する上記(1)に記載のATM通信ネットワーク。

(3)完了したフレームについてのバッファ記述子を含む受信準備リストを構築する手段を有する上記(2)に記載のATM通信ネットワーク。

(4)1又は複数の完了したフレームが前記受信準備リスト上に存在することを前記デバイス・ドライバに対して示す割込みを発生する手段を有する上記(3)に記載のATM通信ネットワーク。

(5)前記伝送準備キューが、トップ・アドレス、ボトム・アドレス、書き込みポインタ、及び読取りポインタをもつベース・レジスタにより前記制御メモリ内に規定される上記(4)に記載のATM通信ネットワーク。

(6)前記アダプタ・プロセッサが伝送サブプロセッサ及び受信サブプロセッサを有し、該伝送サブプロセッサは前記ネットワークへの伝送のために前記システム・メモリからデータを取り出し、該受信サブプロセッサは前記システム・メモリへデータを転送する上記(5)に記載のATM通信ネットワーク。

(7)前記制御メモリ内に空きバッファ・リスト・レジスタの始まり及び複数の受信制御レジスタを含む上記(6)に記載のATM通信ネットワーク。

(8)前記システム・メモリ内に置かれた受信空きバッファ・リスト及び空きバッファ・リスト終点ポインタを含む上記(7)に記載のATM通信ネットワーク。

(9)前記システム・メモリが、前記ネットワークへの伝送準備の完了したフレームについて前記システム・メモリ内におけるバッファ位置を識別する伝送フレーム記述子を含む上記(8)に記載のATM通信ネットワーク。

(10)前記システム・メモリが、受信バッファ位置についての受信バッファ記述子を含む上記(9)に記載のATM通信ネットワーク。

(11)フレームのアドレス及び記述子をTRQエントリへ関連付けるべく前記制御メモリ内に論理チャネル番号テーブルを含む上記(10)に記載のATM通信ネットワーク。

(12)前記伝送準備キューが、前記ネットワークへの転送のために前記システム・メモリ内に記憶されたフレームのエントリを含む上記(9)に記載のATM通信ネ

ットワーク。

(13)前記制御メモリ内にシステム割込み状態レジスタを含み、該レジスタ内の受信準備リスト・ビットがセットされるときに前記プロセッサへの割込みを開始する上記(10)に記載のATM通信ネットワーク。

(14)デバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフェースにより互いに接続されたATM通信ネットワークにおいてシステム処理性能及びメモリ利用性を強化するための方法であって、a)前記アダプタ内の伝送制御レジスタを初期化するステップと、b)前記伝送制御レジスタにより規定される伝送準備キュー(TRQ)を構築するステップと、c)前記システム・メモリ内の伝送完了リストの終わりを示すべく伝送完了最後尾空き記述子のアドレスを書込むステップと、d)前記TRQ内の空きキュー示すべくTRQ書き込みポインタがTRQ読取りポインタと等しくなるようにセットするステップと、e)前記システム・メモリ内でフレームの伝送準備が完了したか否かを判断することにより、準備が未だであればフレームの伝送準備の完了を前記システム・プロセッサにより監視し続け、準備が完了していればフレームの伝送準備が完了したことを示すステップと、f)前記TRQが満杯であるか否かを判断するステップと、g)前記TRQへ伝送要求を送るステップと、h)前記伝送書き込みポインタが前記伝送読取りポインタと等しくなることを判断するために前記アダプタが前記TRQを監視しつつ、該TRQ書き込みポインタを増分するステップと、i)前記システム・メモリから準備されたフレームを取得するステップと、j)前記準備されたフレームを前記通信ネットワークへ伝送するステップとを含むATM通信ネットワークにおける方法。

(15)伝送されたばかりのフレーム記述子のアドレスを、伝送完了リスト・ポインタ最後尾空き記述子アドレス(TCL-LFDA)レジスタにより指示される記述子の前方ポインタへ入れるステップを含む上記(7)に記載の方法。

(16)デバイス・ドライバを含むシステム・プロセッサと、システム・メモリと、アダプタとがインタフェースにより互いに接続されたATM通信ネットワークにおいてシステム処理性能及びメモリ利用性を強化するための方法であって、a)前記システム・メモリ内に、空きバッファについてのバッファ記述子が各々前方ポインタを介して次のバッファ記述子と連結された連結リストを構築するステップと、b)前記システム・プロセッサ内に前記リストの終わりに対するポインタを保持するステップと、c)前記アダプタ内の空きバッファ・リスト始点レジスタ(SRFL)に対して第1の前記バッファ記述子のアドレスを書き込むステップと、d)前記ネットワークからATMセルを受信するステップと、e)前記セルがフレームの最初である場合に現在のシステム・バッ

ファが満杯であるか否かを判断し、満杯でなければ該セルを該システム・バッファへ入れ、満杯であれば前記 S R F L 内のアドレスを用いて前記システム・メモリ内の次の空きバッファのアドレスを位置指定するステップと、 f) 前記バッファが前記空きバッファ・リスト上の最後であるか否かを判断し、最後であれば前記システム・プロセッサに対して通知しかつ前記セルを破棄し、最後でなければ取得されたばかりのバッファからのポインタを用いて前記 S R F L を更新するステップと、 g) 前記受信されたセルが最初のセルであるか否かを判断し、最初のセルでなければ、取得されたばかりの記述子の前記システム・メモリ・アドレスを用いて、完了されたばかりの記述子の前記前方ポインタを更新しかつ該セルを該記述子により規定されるバッファへ入れるステップと、 h) 前記最後のセルが識別されるまで前記 a) ~ g) のステップを繰り返すステップとを含む A T M 通信ネットワークにおける方法。

(17) a) 前記セルに関する論理チャネルに関する受信準備リストについて前記アダプタ内の制御メモリへアクセスするステップと、 b) 現在受信されたフレームの第 1 の記述子を指示するべく前記受信準備リスト・レジスタの内容により指示される記述子を更新するステップと、 c) 前記受信されたばかりのフレームを前記受信準備リストへ連結されるステップと、 d) 前記受信されたばかりのフレームについての最後のバッファ記述子を指示するべく前記受信準備リストを更新するステップと、 e) 前記ネットワークから受信された次のセルを処理するためにステップ a) へ戻るステップとをさらに含む上記 (9) に記載の方法。

【図面の簡単な説明】

【図 1】本発明の原理を組み込んだシステム・プロセッサ、システム・メモリ、アダプタ及びシステム／アダプタ・インタフェースを含む A T M システムのブロック図である。

【図 2】システム・メモリのブロック図及びシステム・メモリに記憶された情報を示す図である

【図 3】システム・メモリのブロック図及びシステム・メモリに記憶された情報を示す図である

【図 4】図 1 のアダプタのブロック図である。

【図 5】図 1 のアダプタ内の A T M ・ A A L 1 / A A L 5 プロセス制御装置のハードウェア構成要素のブロック図である。

【図 6】図 1 のアダプタ内の制御／データ・メモリ内に構築された伝送準備キュー (T R Q) を示す図である。

【図 7】A T M ネットワークへ伝送される前に図 1 のシステム・メモリにおいて互いに連結された伝送フレーム記述子を示す図である。

【図 8】A T M ネットワークへのフレーム伝送の後、図 1 のシステム・メモリ内のフレーム記述子の伝送完了連結リストを示す図である。

【図 9】受信されたフレームを記憶するためにアダプタにより用いられる、システム・メモリ内の空きバッファ記述子を含む受信空きバッファ・リストを示す図である。

【図 10】図 1 のシステム・メモリ及びアダプタ内の受信準備リスト・ポインタの初期化を示す図である。

【図 11】図 1 のシステムにおける受信準備リスト上のフレームの処理を示す図である。

【図 12】図 1 のシステムにおける受信準備リスト上のフレームの処理を示す図である。

【図 13】図 1 のシステムにより実行される伝送オペレーションの流れ図である。

【図 14】図 1 のシステムにより実行される伝送オペレーションの流れ図である。

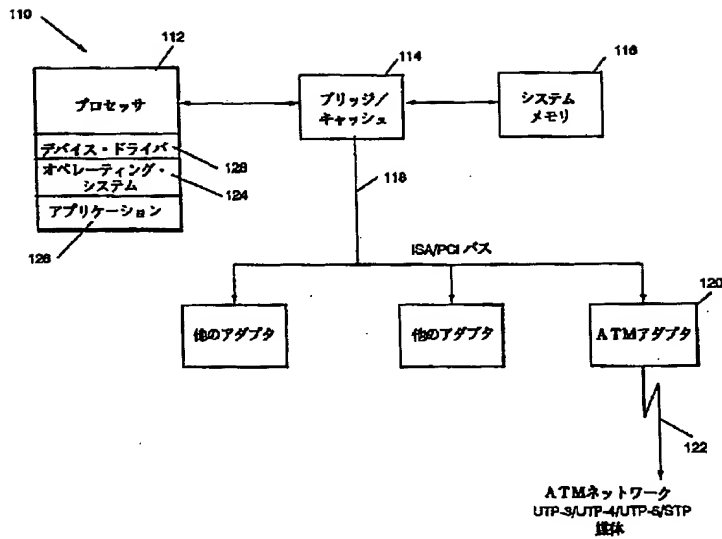
【図 15】図 1 のシステムにより実行される受信オペレーションの流れ図である。

【図 16】図 1 のシステムにより実行される受信オペレーションの流れ図である。

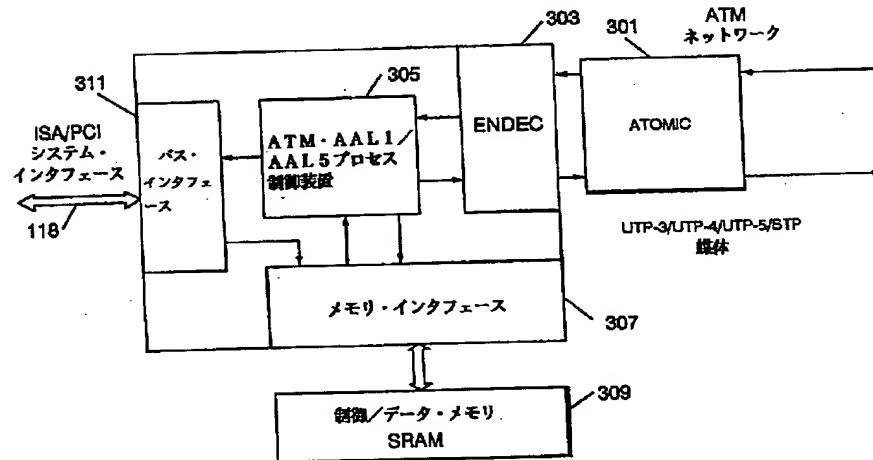
【符号の説明】

- 1 1 0 パーソナル・コンピュータ又はワークステーション
- 1 1 2 プロセッサ
- 1 1 4 ブリッジ
- 1 1 6 システム・メモリ
- 1 1 8 バス
- 1 2 0 アダプタ
- 1 2 2 A T M ネットワーク
- 1 2 4 オペレーティング・システム
- 1 2 6 アプリケーション・プログラム
- 1 2 8 デバイス・ドライバ
- 2 0 0 受信フレーム記述子
- 2 0 2 データ・バッファ
- 2 1 2 受信空きバッファ・リスト
- 2 1 4 受信準備リスト
- 2 5 0 伝送フレーム記述子
- 2 6 4 伝送完了リスト
- 3 0 5 A T M ・ A A L 1 / A A L 5 プロセス制御装置
- 3 0 9 制御／データ・メモリ

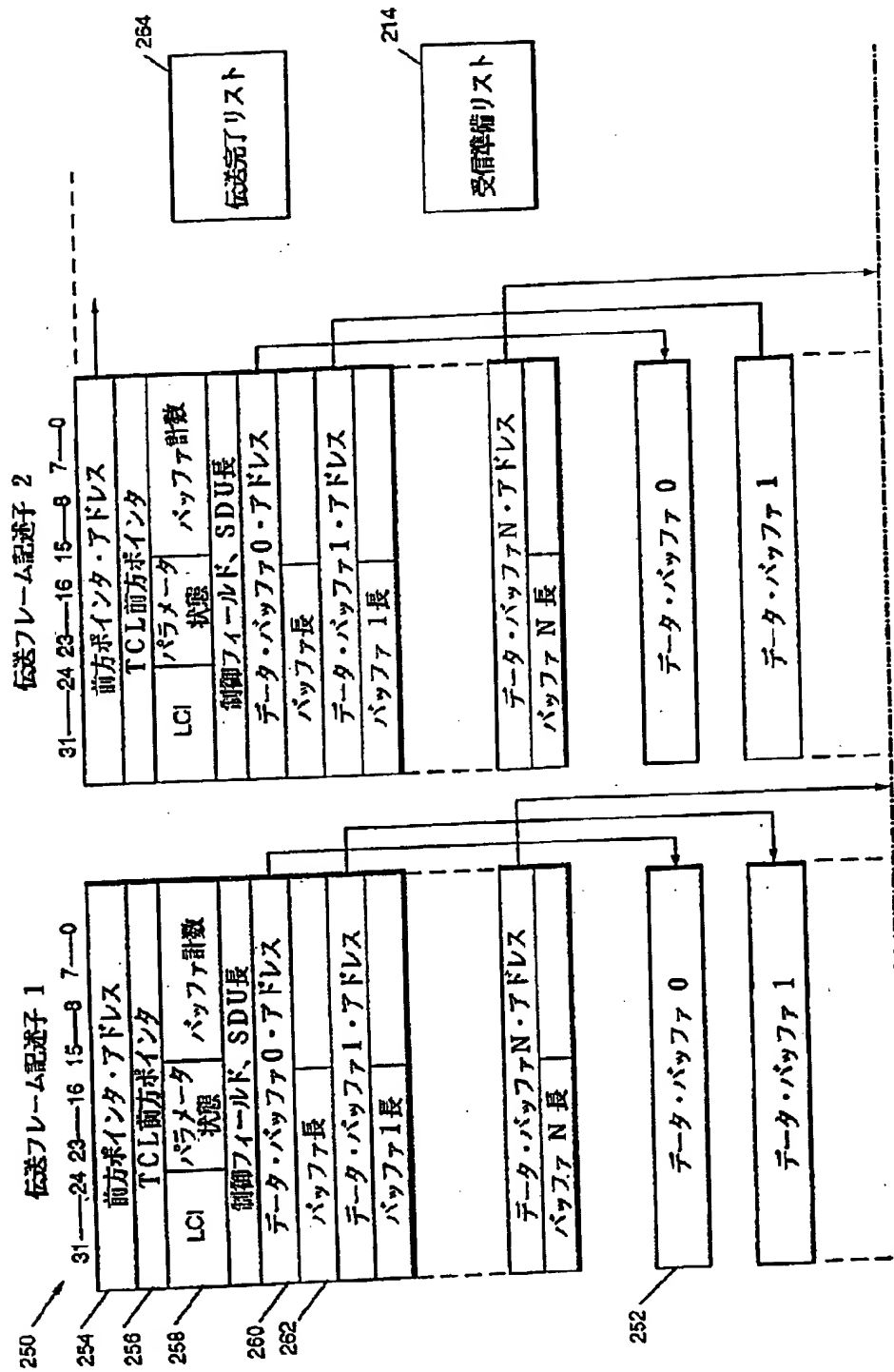
【図 1】



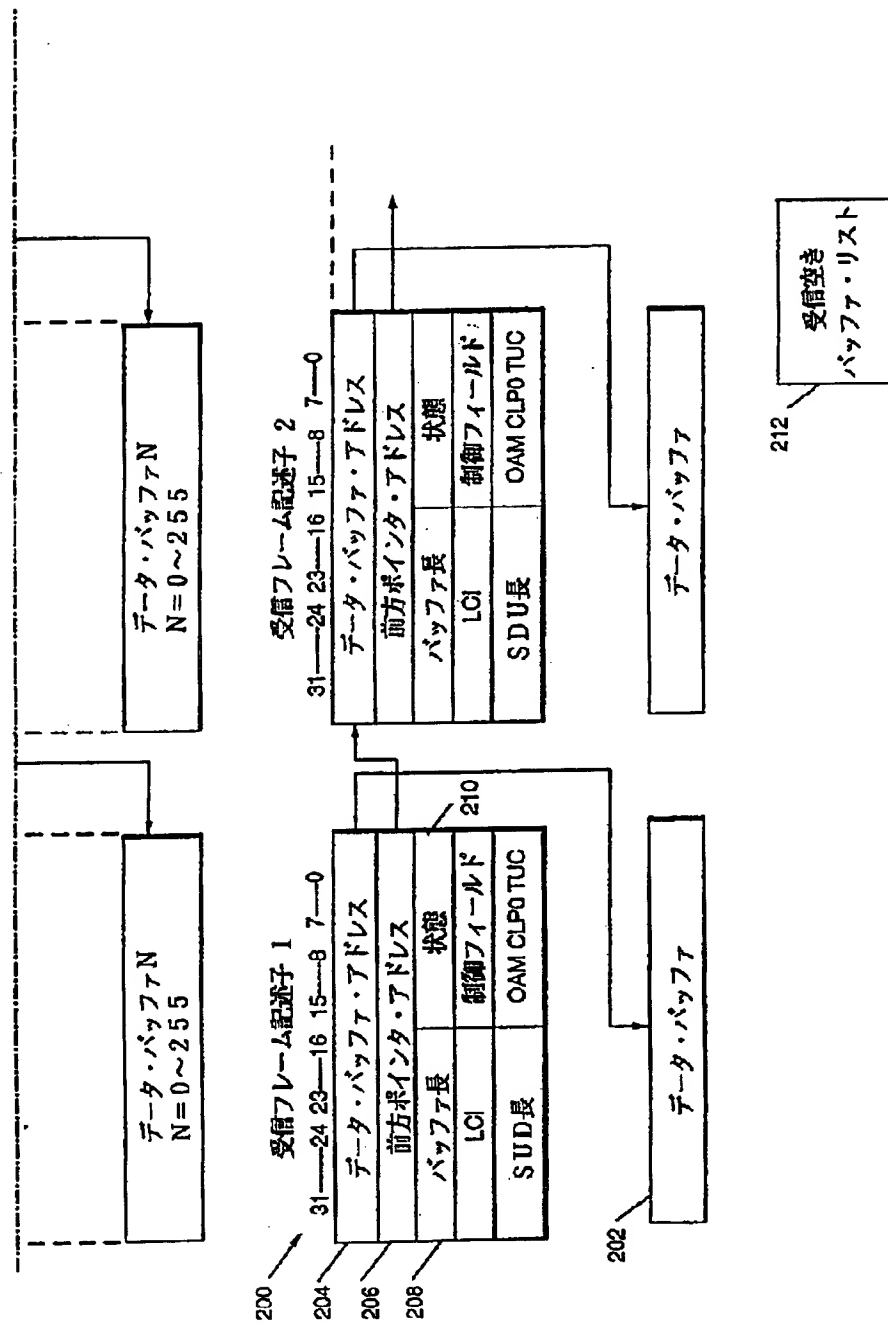
【図 4】



【図2】

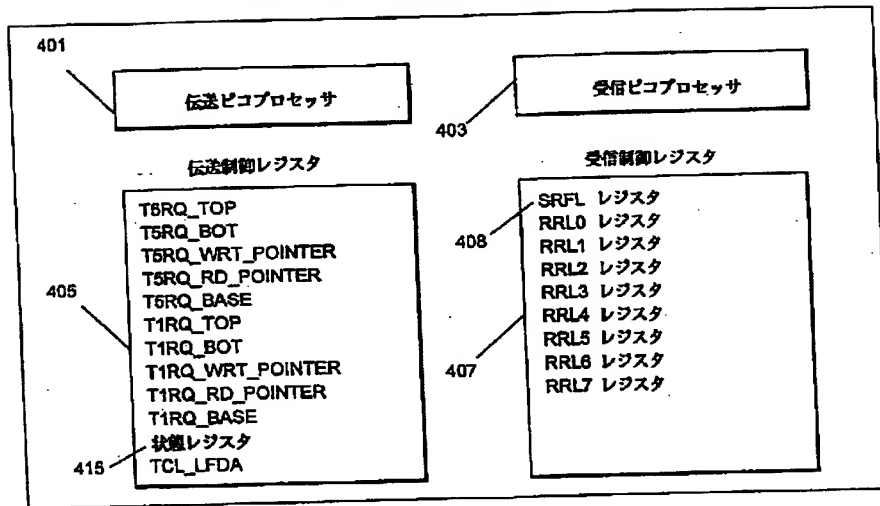


【図 3】

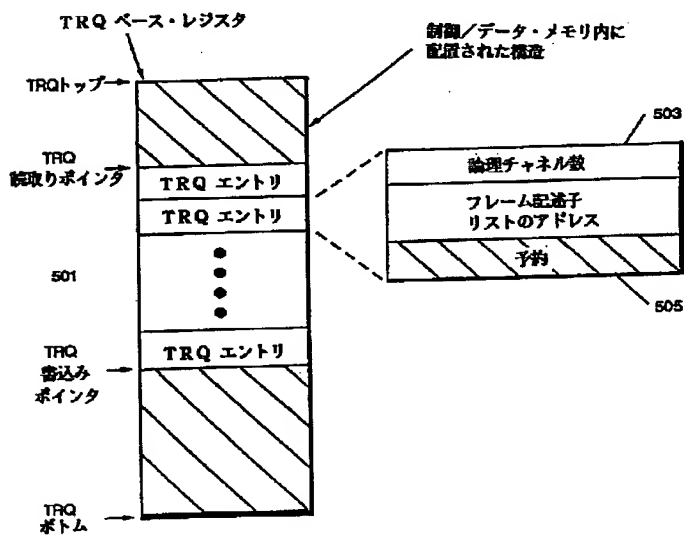


【図5】

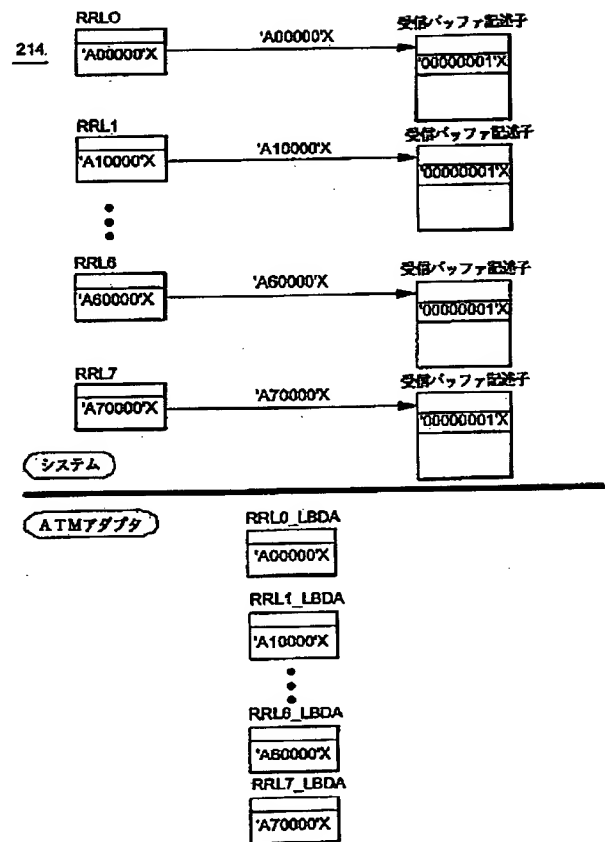
ATM・AAL1/AAL5プロセス制御装置



【図6】

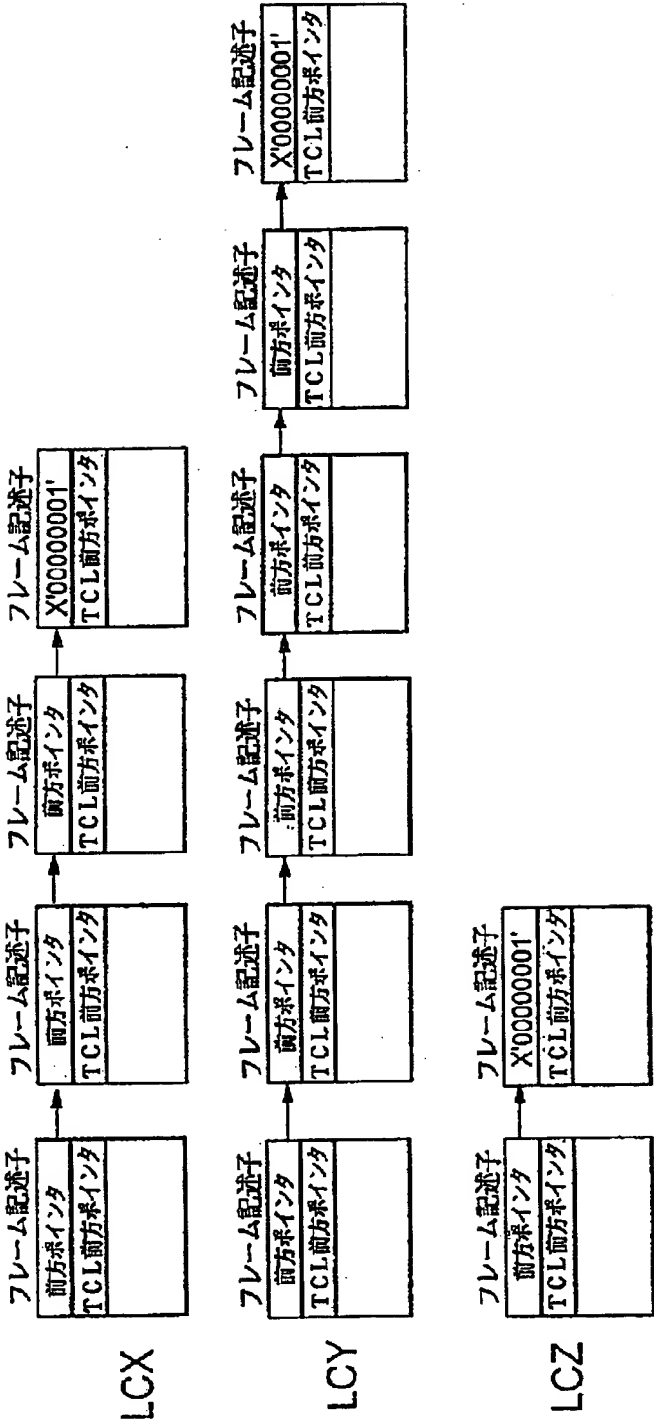


【図10】



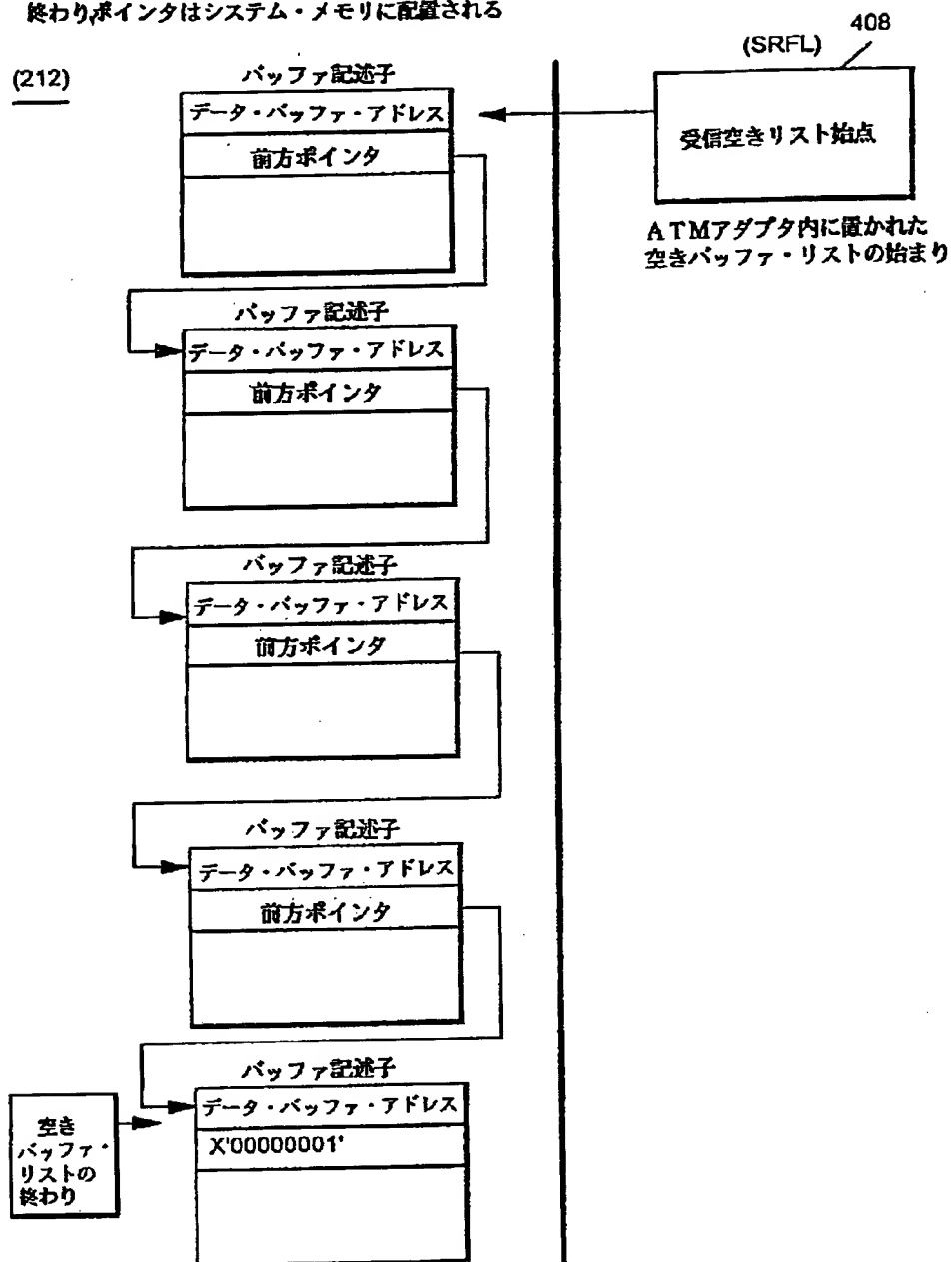
【図 7】

フレーム伝送前のフレーム記述子のTCL連結。
この連結リストはシステム・メモリ内に配置される。

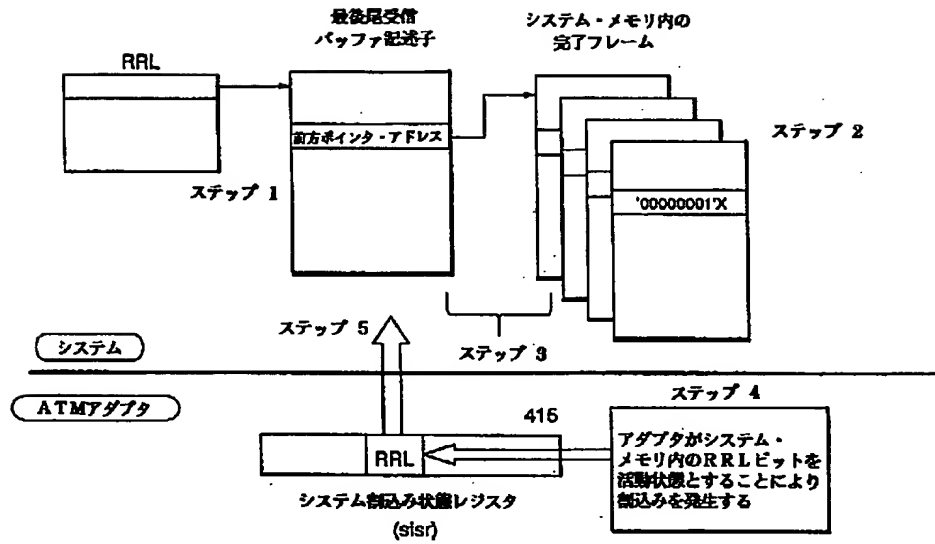


【図 9】

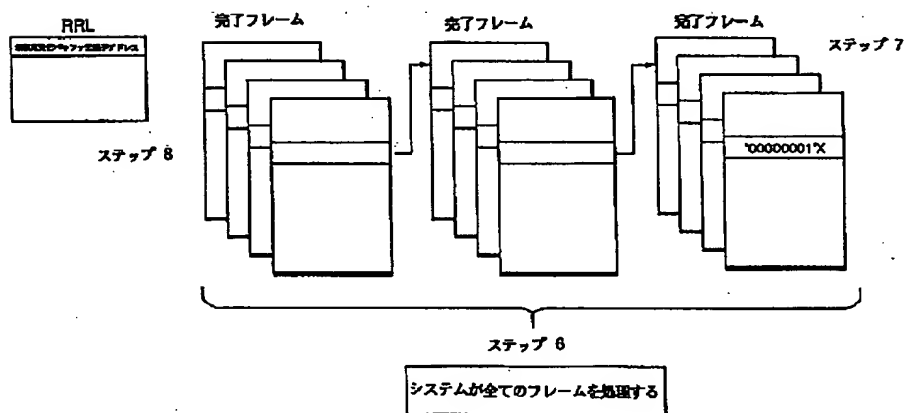
空きバッファ・リスト及び空きバッファ・リスト
 終わりポインタはシステム・メモリに配置される



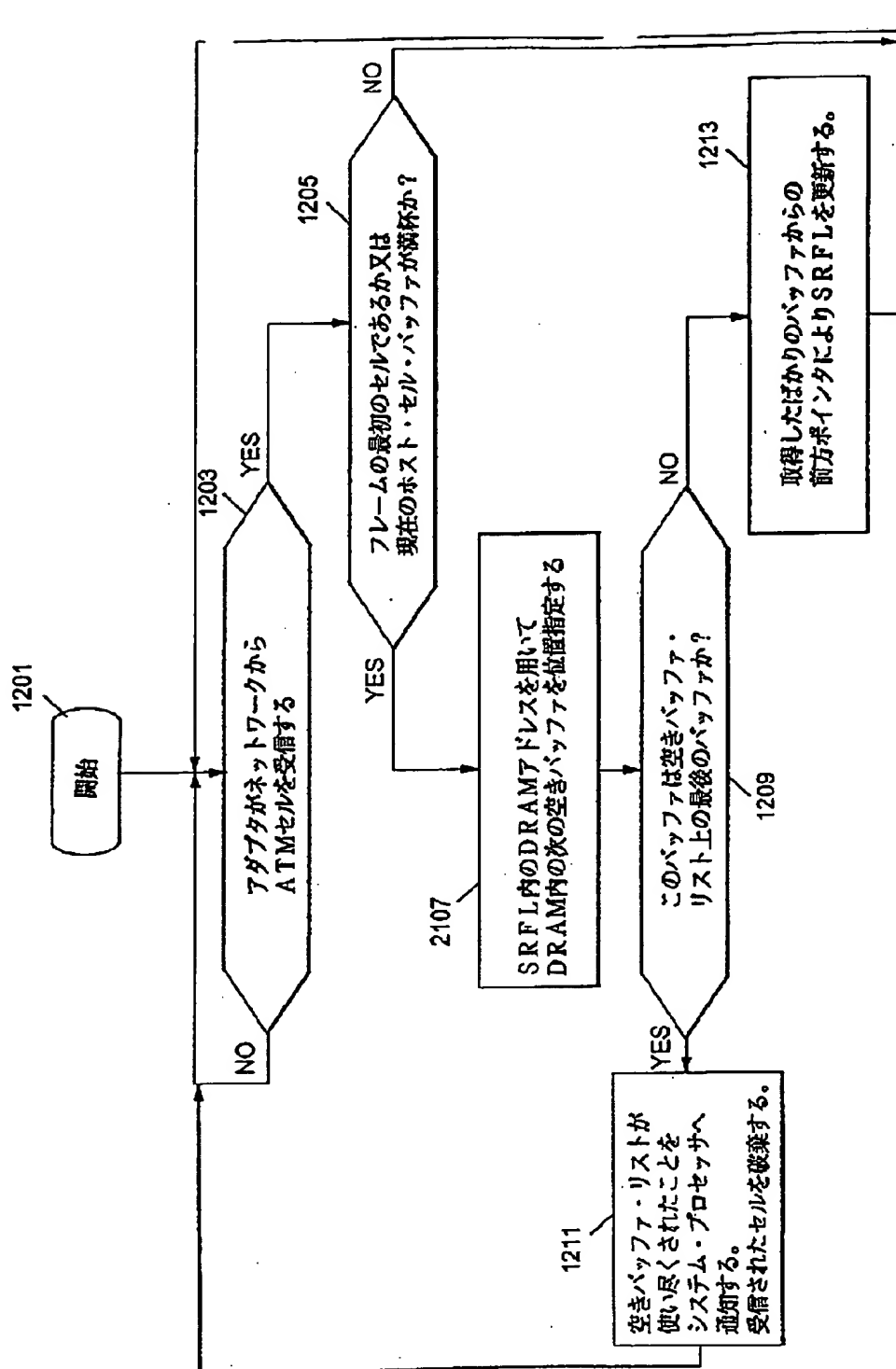
【図 1 1】



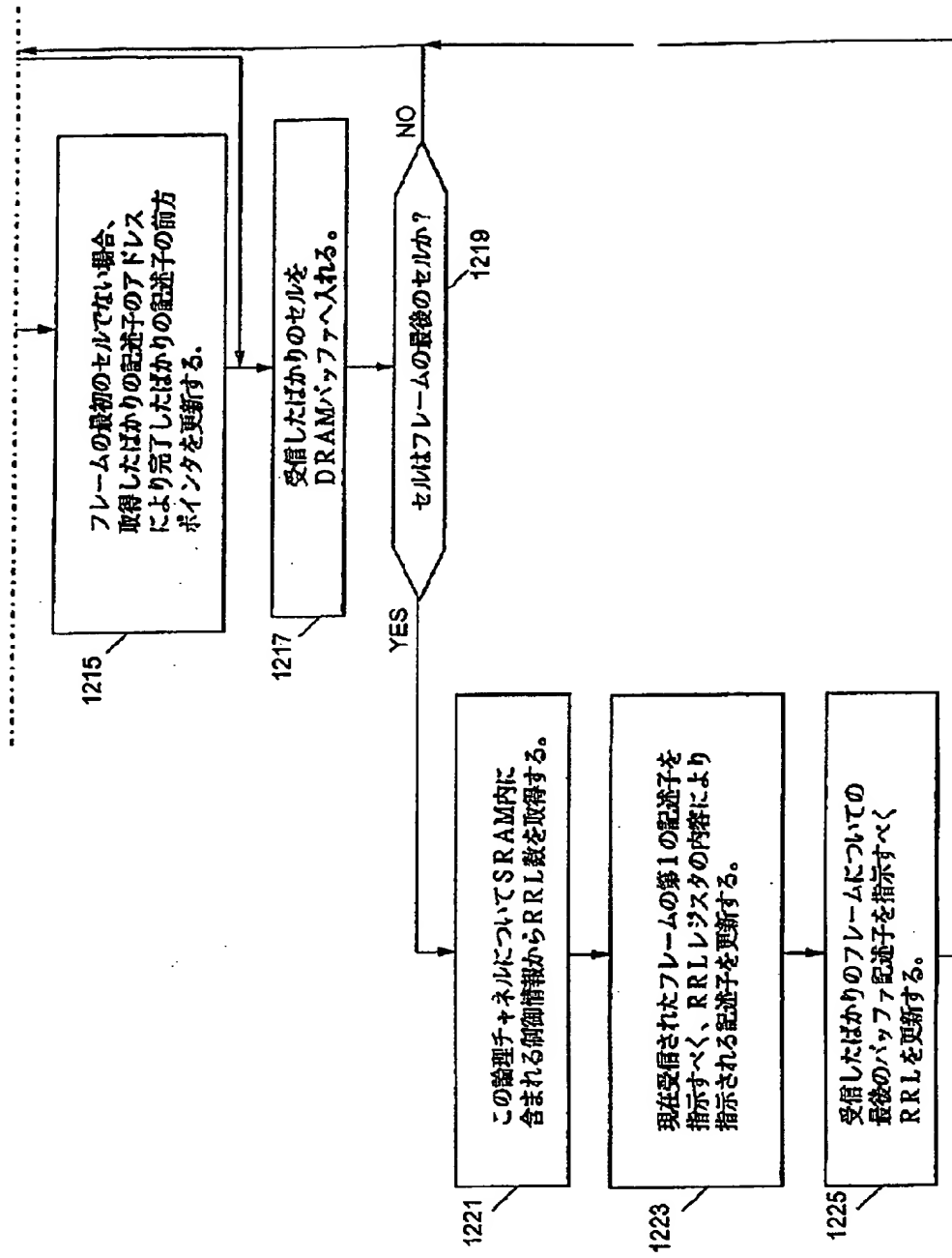
【図 1 2】



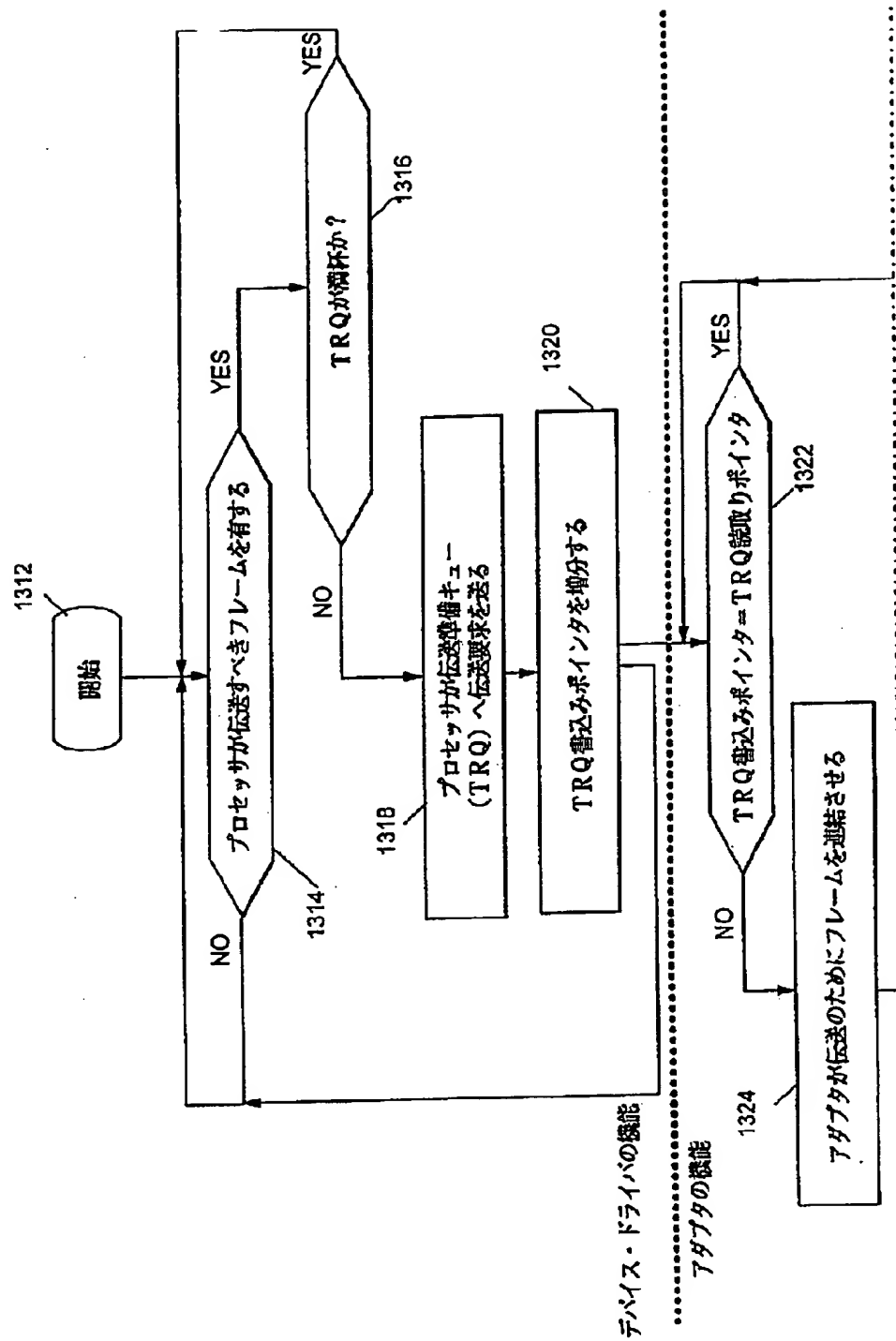
【図13】



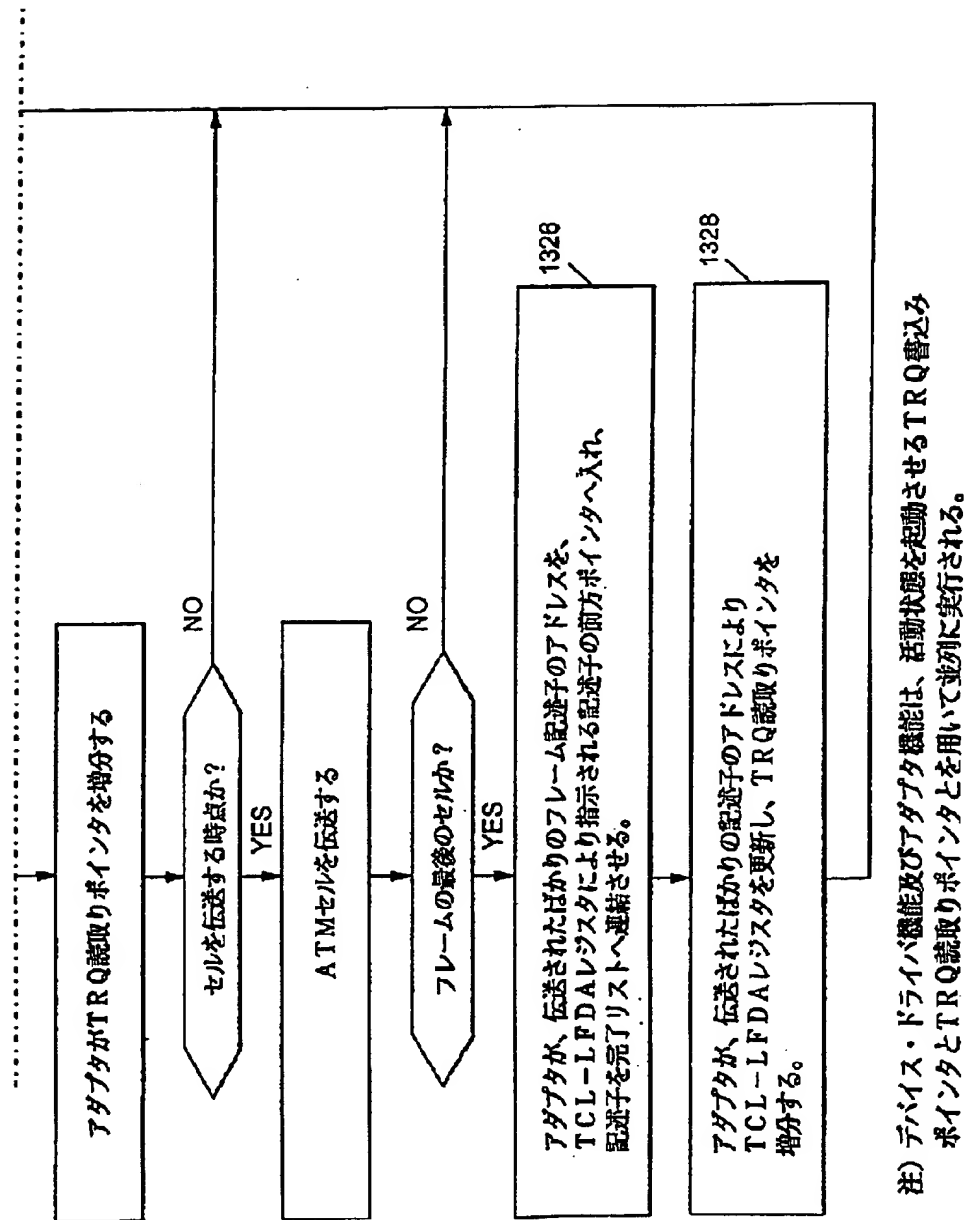
【図 14】



【図 15】



【図 16】



フロントページの続き

(72) 発明者 ケニス・ジェームズ・バーカー
アメリカ合衆国27511、ノースカロライナ
州、ケアリー、ウッドランド・コート
406

(72) 発明者 ポール・ヘンリー・ニコルス
アメリカ合衆国27615、ノースカロライナ
州、ラレイ、ホリーハイト・レーン 7705

(72) 発明者 ラッセル・エバン・シュローター
アメリカ合衆国27613、ノースカロライナ
州、ラレイ、バリー・ウッズ・コート
2608

(72) 発明者 ジョン・ケニス・ステイシー
アメリカ合衆国27511、ノースカロライナ
州、ケアリー、タウンセンド・コート
207

(72)発明者 マーク・クレイン・ウォーツキー
アメリカ合衆国27615、ノースカロライナ
州、ラレイ、パートンズ・クリーク・ロー
ド 9612